

JCLF8016

10/065,761



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 01 月 17 日  
Application Date

申請案號：091100639  
Application No.

RECEIVED  
JAN 15 2003

申請人：旺宏電子股份有限公司 Technology Center 2100  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2002 年 12 日  
Issue Date

發文字號：09111024679  
Serial No.



#2  
2-20-03  
2186

PATENT  
Docket No. JCLA8016  
page 1

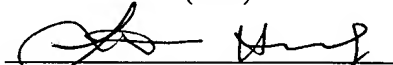
**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

In re application of : TSO-HUNG FAN et al.  
Application No. : 10/065,761  
Filed : November 15, 2002  
For : METHOD OF PROGRAMMING AD  
: ERASING MULTI-LEVEL FLASH MEMORY

**Certificate of Mailing**  
I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

January 8, 2003

(Date)

  
Jiawei Huang, Reg. No. 43,330

Examiner :

**RECEIVED**

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

JAN 15 2003

Technology Center 2100

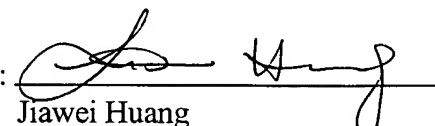
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 91100639 filed on January 17, 2002.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA8016).

Date: 1/8/2003

By:   
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
(949) 660-0761

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

# 發明專利說明書

一、發明 新型名稱	中 文	多重值快閃記憶體之寫入與清除方式
	英 文	
二、發明 創作人	姓 名	1 范左鴻 2 葉致鍇 3 盧道政
	國 籍	中華民國
	住、居所	1 台北縣板橋市三民路 2 段 181 巷 24 號 2 樓 2 台北市中山區大直街 122 號 1 樓 3 高雄市三民區嫩江街 1 巷 36 號
三、申請人	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區力行路十六號
	代 表 人 姓 名	胡定華

裝

訂

線

四、中文發明摘要 (發明之名稱：多重值快閃記憶體之寫入與清除方式)

一種多重值快閃記憶體之寫入方式，其步驟具有：在多重值快閃記憶體之閘極射入不同次數且不同次數所對應不同向上遞增之步階值輸出之寫入電壓以改變多重值快閃記憶體所代表之值，並在多重值快閃記憶體作最高值或是任何一值寫入時，在最後一次寫入電壓射入後，額外增加一次寫入電壓射入。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱：

)

## 五、發明說明( / )

本發明是有關於一種快閃記憶體之寫入與清除方式，且特別是有關於一種多重值快閃記憶體之寫入與清除方式。

在快閃記憶體位元寫入以及清除的過程中，爲了能讓此快閃記憶體能描述 2 位元狀態或 3 位元狀態或..等的狀態 (00, 01, 10, 11 狀態或 000, 001, 010, 011, 100, 101, 110, 111 狀態或....等狀態) 時，通常爲藉由間隔改變快閃記憶體閘極的電壓以並限定電壓之射入(shot)次數，使得快閃記憶體中之通道 (channel) 能產生通道熱電子 (channel hot electron)，且通道熱電子由通道被注入至浮置閘 (floating gate) 中時之電位可有所不同。舉例來說，代表兩位元狀態之多重值快閃記憶體爲了能描述兩位元狀態，則必須在其浮置閘中能儲存 4 種不同電位之電子。例如當快閃記憶體代表 00 狀態時，浮置閘中沒有電子，當快閃記憶體代表 01 狀態時，浮置閘中儲存有電子且此電子具有快閃記憶體代表 01 狀態時之電位，當快閃記憶體代表 10 狀態時，浮置閘中儲存有電子且此電子具有快閃記憶體代表 10 狀態時之電位，以此類推。

習知快閃記憶體寫入之方式爲：當快閃記憶體欲由 00 狀態寫爲 01 或 10 或 11 狀態時，爲將快閃記憶體中之閘極射入閘極電壓  $V_g$ ，其中，每次射入之閘極電壓  $V_g$  均向上增加 0.1 伏特 (即  $\Delta V_g$  爲 0.1 伏特) 且每次射入之閘極電壓  $V_g$  均維持約 150 ns，而快閃記憶體欲由 00 狀態寫爲 01 或 10 或 11 狀態時，便是根據閘極電壓  $V_g$  射入次數來作決定。

## 五、發明說明(一)

當快閃記憶體欲由 01 或 10 或 11 狀態清除為 00 狀態時，則是每次射入之閘極電壓  $V_g$  均向下增加 0.1 伏特（即  $\Delta V_g$  為  $-0.5$  伏特）且每次射入之閘極電壓  $V_g$  均維持約 150 ns，並根據快閃記憶體由 01 或 10 或 11 狀態清除為 00 狀態之不同，決定閘極電壓  $V_g$  射入次數。

請參考第 1 圖，當快閃記憶體由 00 狀態寫為 01 狀態時，閘極電壓  $V_g$  由 5 伏特開始， $\Delta V_g$  為 0.1 伏特，並經過 20 次之射入，源極電壓為浮置，而汲極電壓  $V_d$  則為  $4.5 \pm 0.25$  伏特。當快閃記憶體由 00 狀態寫為 10 狀態時，閘極電壓  $V_g$  由 5 伏特開始， $\Delta V_g$  為 0.1 伏特，並經過 40 次之射入，源極電壓為浮置，而汲極電壓  $V_d$  則為  $4.5 \pm 0.25$  伏特。當快閃記憶體由 00 狀態寫為 11 狀態時，閘極電壓  $V_g$  由 5 伏特開始， $\Delta V_g$  為 0.1 伏特，並經過 60 次之射入，源極電壓為浮置，而汲極電壓  $V_d$  則為  $4.5 \pm 0.25$  伏特。其中，不同狀態所分別對應之射入次數之中，最後一次射入之閘極電壓  $V_g$  為寫入確認電壓 PV，而最後一次射入之前的射入次數所射入之閘極電壓  $V_g$  為寫入電壓 PGM。

至於當快閃記憶體由 01 或 10 或 11 狀態清除為 00 狀態時，閘極電壓  $V_g$  由  $-6$  伏特開始， $\Delta V_g$  為  $-0.5$  伏特，並經過 5 次之射入，汲極電壓為浮置，而源極或基底電壓  $V_s$  或  $V_b$  則為  $8 \pm 0.25$  伏特。

而當快閃記憶體完成寫入後以及清除後，判別快閃記憶體狀態時，讀取電流  $I_r$  以及起始電壓  $V_t$  之分佈圖則請分別參考第 2A 以及第 2B 圖。由第 2A 圖中可知，包含 00，01，10，11 狀態，均有其讀取電流  $I_r$  之分佈(Tracking)，

### 五、發明說明(3)

而狀態之讀取電流分佈間，具有可靠度(Reliability)區間。而每個狀態之感應幅度(Sense Margin)則包含了其對應之讀取電流  $I_r$  分佈之部分範圍。其中，顯而易見的是，間隔每個讀取電流  $I_r$  分佈之可靠度區間狹小。且此可靠度區間亦限制了感應幅度之增加，而造成誤判，特別是在於在讀取快閃記憶體狀態為 00 或是 11 的情況下。而 2B 圖中，判別快閃記憶體狀態時之操作起始電壓電壓  $V_t$  間隔亦是過於狹小且亦是在讀取快閃記憶體狀態為 00 或是 11 的情況下，容易造成誤判。

有鑒於此，本發明提供一種使得讀取電流  $I_r$  分佈範圍增加以及操作起始電壓  $V_t$  範圍增加之多重值快閃記憶體寫入方式，以致於對多重值快閃記憶體作判讀時，不至於誤判，且在設計多重值快閃記憶體判讀時，能有較好之感應幅度。

本發明提出一種多重值快閃記憶體之寫入方式，包括：在多重值快閃記憶體之閘極射入不同次數且每次對應不同向上遞增之步階值輸出之寫入電壓以改變多重值快閃記憶體所代表之值，並在多重值快閃記憶體作最高值或是任何一值寫入時，在最後一次寫入電壓射入後，額外增加一次寫入電壓射入。

本發明另外提出一種多重值快閃記憶體之清除方式，包括：在多重值快閃記憶體之閘極射入不同次數且每次對應不同向下減少之步階值輸出之清除電壓以清除多重值快閃記憶體所代表之不同值，並在多重值快閃記憶體作任何一值清除時，在最後一次清除電壓射入後，額外增加一次

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

清除電壓射入。

綜合上述本發明藉由額外增加一次寫入電壓以及一次清除電壓達到增加多重值快閃記憶體寫入電子之電位以及減少多重值快閃記憶體清除電子之電位，以使得當對多重值快閃記憶體作判讀時，能有較大之讀取電流分佈範圍以及較大之操作起始電壓電壓範圍，而不至於誤判。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是習知快閃記憶體寫入以及清除方式之示意圖；

第 2A 圖繪示的是習知快閃記憶體之讀取電流分佈圖；

第 2B 圖繪示的是習知快閃記憶體讀取時之起始電壓分佈圖；

第 3 圖繪示的是根據本發明較佳實施例之快閃記憶體寫入以及清除方式之示意圖；

第 4A 圖繪示的是根據本發明較佳實施例之快閃記憶體之讀取電流分佈圖；以及

第 4B 圖繪示的是根據本發明較佳實施例之快閃記憶體讀取時之起始電壓分佈圖。

### 標號說明

PV1, PV2, PV3：寫入確認電壓

EV：清除確認電壓



## 五、發明說明(5)

### 較佳實施例

本發明為主要採取快閃記憶體之閘極加上閘極電壓以及汲極加上汲極電壓，且源極浮置，並以閘極電壓每次電壓值向上增加射入之方式，使得快閃記憶體通道中之熱電子由通道注入並存在於快閃記憶體中之浮置閘且在浮置閘中之電子因不同次數之閘極電壓射入而具有不同之電位，以作為代表不同狀態之快閃記憶體。一般來說，以此方式對快閃記憶體作一次狀態值完整寫入時，最後還包含一次寫入確認電壓之射入。也就是說，如果當快閃記憶體要寫入 01 之狀態值需要 20 次閘極電壓射入時，前 19 次為寫入電壓射入，最後一次則為寫入確認電壓射入。而本發明對快閃記憶體作清除時，則是主要採取快閃記憶體之閘極加上閘極電壓以及源極或基底加上源極電壓或是基底電壓，且汲極浮置，並以閘極電壓每次電壓值向下減少射入之方式，使得快閃記憶體浮置閘中之電子穿隧出來而使得浮置閘中幾乎不存有電子，且因浮置閘中電子之電位不同而需要不同次數之閘極電壓射入，以使得代表不同狀態之快閃記憶體能被清除。而一次完整之快閃記憶體清除，也包括最後一次作為清除確認電壓之閘極電壓以及最後一次之前之作為清除電壓之閘極電壓。

而本發明之特徵更在於做最高值寫入快閃記憶體時，額外增加一次寫入電壓以及在清除快閃記憶體時，額外增加一次清除電壓。請參考第 3 圖，第 3 圖繪示的是根據本發明較佳實施例之快閃記憶體寫入以及清除方式之示意圖。當快閃記憶體由 00 狀態寫為 01 狀態時，閘極電壓  $V_g$

## 五、發明說明(6)

由 5 伏特開始且每次以  $\Delta V_g = 0.1$  伏特向上增加，並經過 20 次之射入。其中包括了 19 次寫入電壓 PGM 射入以及最後一次之寫入確認電壓 PV1 射入。而此時快閃記憶體之源極電壓為浮置，汲極電壓  $V_d$  則為  $4.5 \pm 0.25$  伏特。

當快閃記憶體由 00 狀態寫為 10 狀態時，閘極電壓  $V_g$  由 5 伏特開始且每次以  $\Delta V_g = 0.1$  伏特向上增加，並經過 40 次之射入。其中包括了 39 次寫入電壓 PGM 射入以及最後一次之寫入確認電壓 PV2 射入。而此時快閃記憶體之源極電壓為浮置，汲極電壓  $V_d$  則為  $4.5 \pm 0.25$  伏特。

而當快閃記憶體由 00 狀態寫為 11 狀態時，閘極電壓  $V_g$  由 5 伏特開始且每次以  $\Delta V_g = 0.1$  伏特向上增加，並經過 61 次之射入。其中包括了 59 次寫入電壓 PGM 射入後加上 1 次額外之寫入電壓 PGM 射入以及最後一次之寫入確認電壓 PV3 射入。而此時快閃記憶體之源極電壓為浮置，汲極電壓  $V_d$  則為  $4.5 \pm 0.25$  伏特。

至於當快閃記憶體由 11 狀態清除為 00 狀態時，閘極電壓  $V_g$  由 -6 伏特開始且每次以  $\Delta V_g = -0.5$  伏特向下減少，並經過 6 次射入。其中包括了 4 次清除電壓 ERS 射入加上 1 次額外之清除電壓以及最後一次之清除確認電壓 EV 射入。而此時汲極電壓為浮置，而源極或基底電壓  $V_s$  或  $V_b$  則為  $8 \pm 0.25$  伏特。

因此，本發明最大之特徵在快閃記憶體寫入過程中，於當習知最後一次寫入電壓 PGM 射入後，額外增加一次寫入電壓 PGM 射入。而在快閃記憶體清除過程中，於當最後一次清除電壓 ERS 射入後，額外增加一次清除電壓 ERS

## 五、發明說明( 7 )

射入。

故根據本發明較佳實施例中之快閃記憶體之寫入或清除方式，可以得到快閃記憶體寫入後之快閃記憶體讀取電流分佈圖以及快閃記憶體讀取時之起始電壓分佈圖。請分別參考第 4A 圖以及第 4B 圖。在第 4A 圖中，可以發現的是，11 狀態之快閃記憶體之讀取電流  $I_r$  分佈增加，以及 00 狀態之快閃記憶體之讀取電流  $I_r$  分佈增加(虛線部分)，相對的，請參考第 4B 圖，讀取快閃記憶體狀態為 00 或是 11 時之起始電壓分佈增大。

此外，本發明更可應用在快閃記憶體任何狀態之寫入，也就是說，本發明並不限於最高值之寫入。

綜合上述，本發明藉由額外增加一次寫入電壓以及一次清除電壓達到增加多重值快閃記憶體寫入後，讀取電流分佈的增加以及讀取時之起始電壓分佈增加，因此當對多重值快閃記憶體作判讀時，能有較大之感應幅度，而不至於誤判。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1.一種多重值快閃記憶體之寫入方式，包括：

在該多重值快閃記憶體之閘極射入不同次數且每次對應不同向上遞增之一步階值輸出之一寫入電壓以改變該多重值快閃記憶體所代表之值；以及

該多重值快閃記憶體作一最高值寫入時，在最後一次該寫入電壓射入後，額外增加一次該寫入電壓射入。

2.如申請專利範圍第1項所述之多重值快閃記憶體之寫入方式，其中該寫入方式可用於一兩位元值快閃記憶體。

3.一種多重值快閃記憶體之寫入方式，包括：

在該多重值快閃記憶體之閘極射入不同次數且每次對應不同向上遞增之一步階值輸出之一寫入電壓以改變該多重值快閃記憶體所代表之值；以及

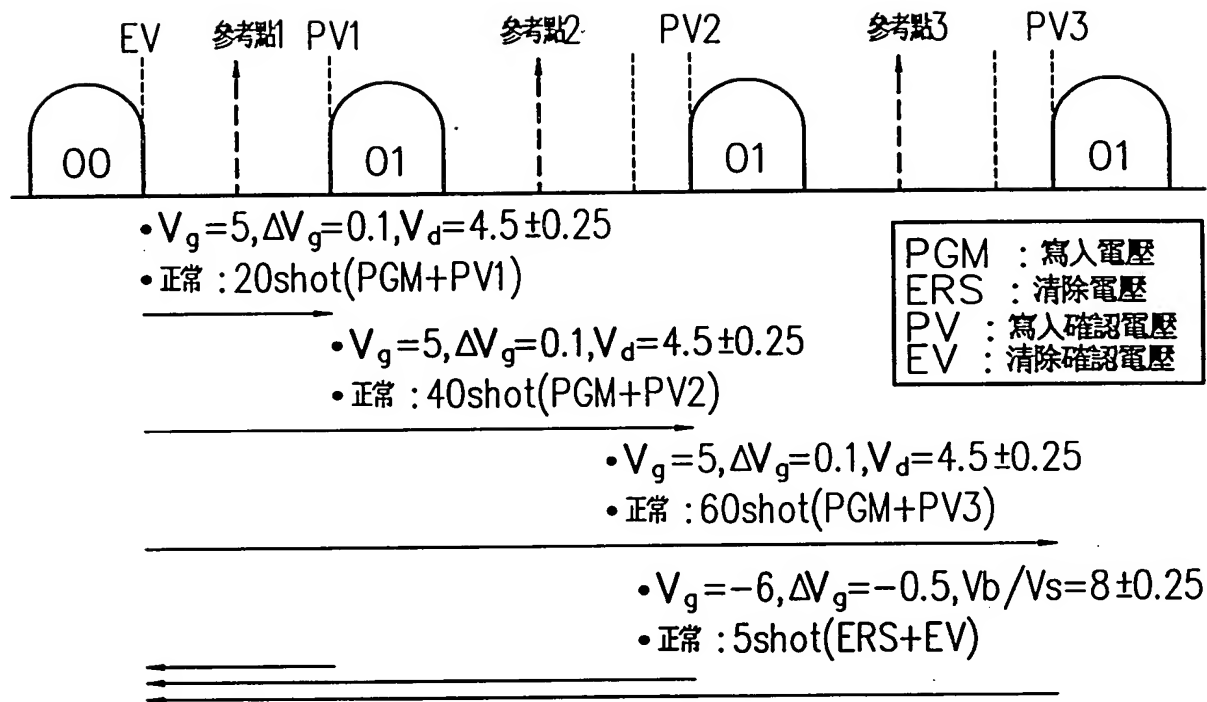
該多重值快閃記憶體作一值寫入時，在最後一次該寫入電壓射入後，額外增加一次該寫入電壓射入。

4.如申請專利範圍第1項所述之多重值快閃記憶體之寫入方式，其中該寫入方式可用於一兩位元值快閃記憶體。

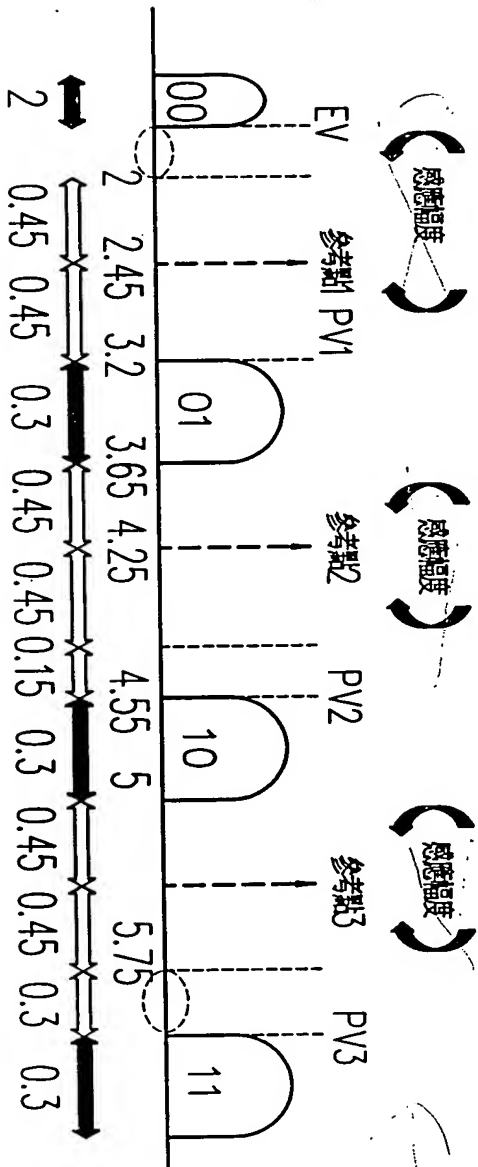
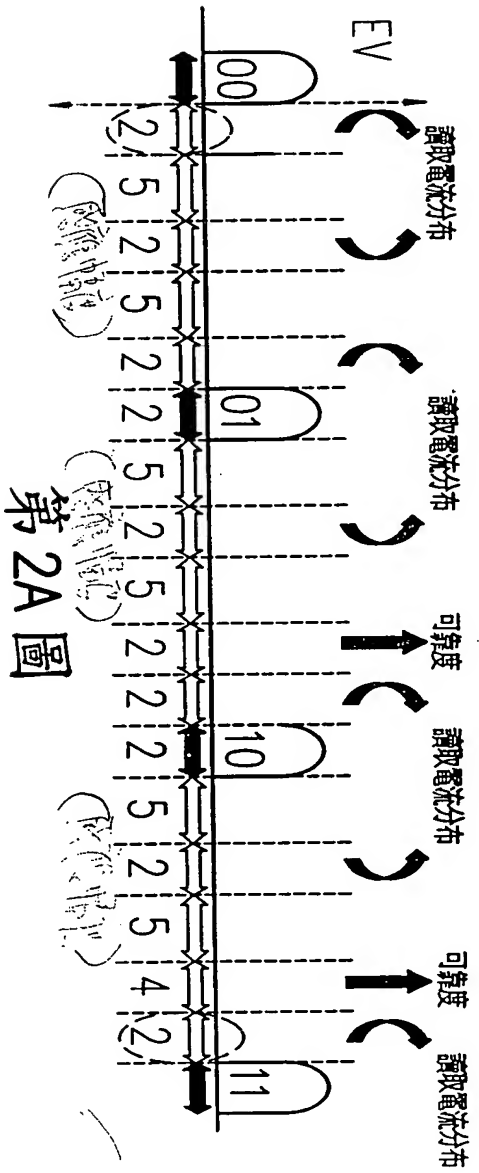
5.一種多重值快閃記憶體之清除方式，包括：

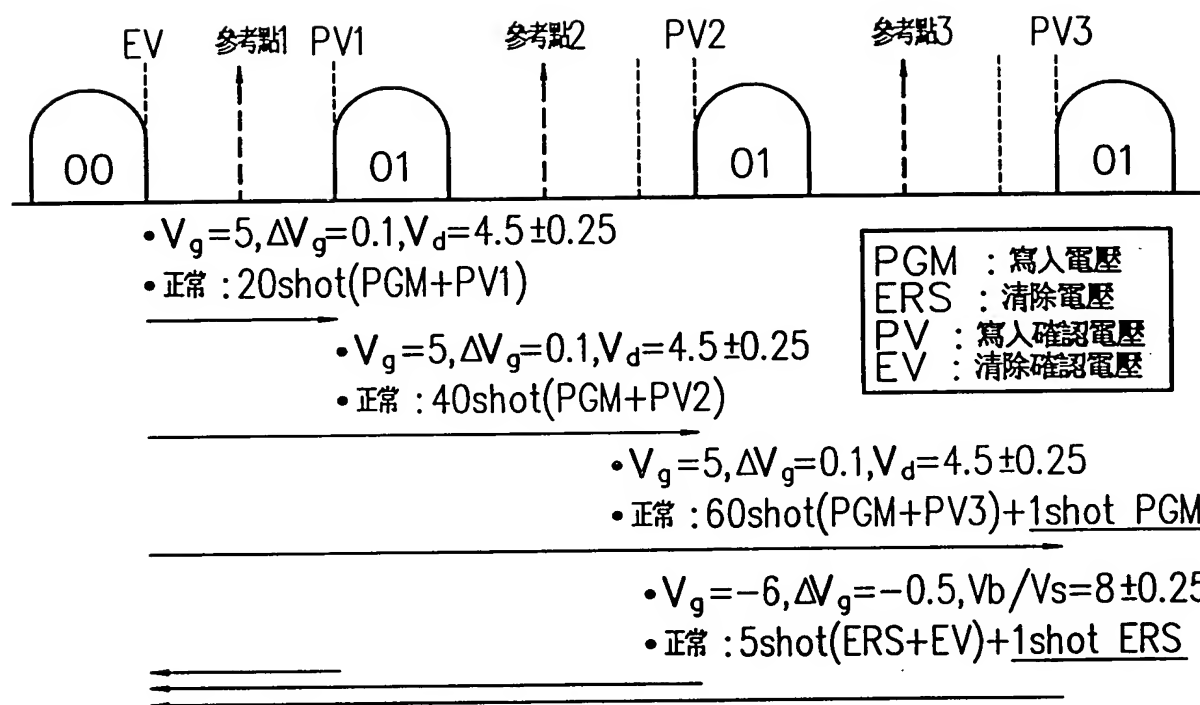
在該多重值快閃記憶體之閘極射入不定次數且每次對應不同向下減少之一步階值輸出之一清除電壓以清除該多重值快閃記憶體所代表之不同值；以及

該多重值快閃記憶體作一值清除時，在最後一次該清除電壓射入後，額外增加一次該清除電壓射入。

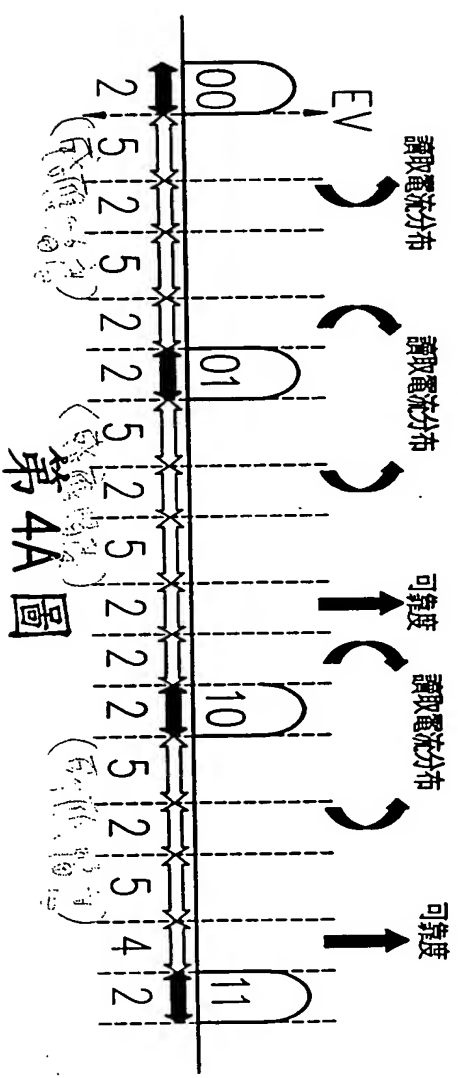


第 1 圖

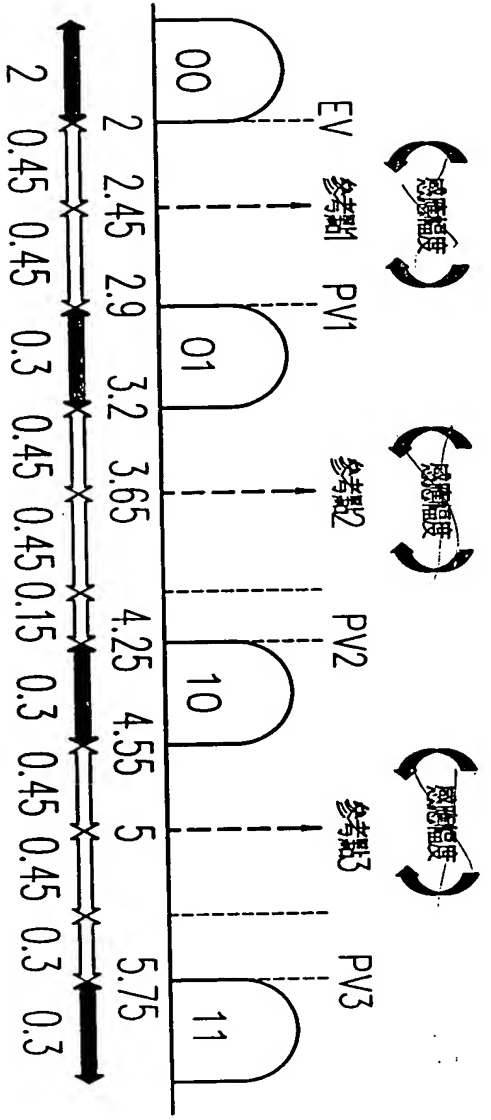




第 3 圖



第4A圖



第4B圖